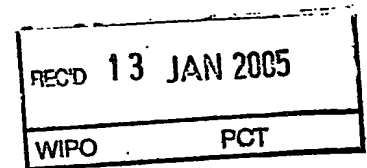


15:12.2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 2 月 9 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 4 1 1 0 6 8
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 4 1 1 0 6 8]

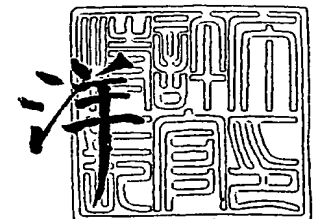
出 願 人 独立行政法人産業技術総合研究所
Applicant(s):

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 1 2 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 223-03357
【あて先】 特許庁長官 今井 康夫 殿
【国際特許分類】 H03H 17/02
【発明者】
 【住所又は居所】 茨城県つくば市東 1-1-1 独立行政法人産業技術総合研究所
 つくばセンター内
 【氏名】 高橋 栄一
【発明者】
 【住所又は居所】 茨城県つくば市東 1-1-1 独立行政法人産業技術総合研究所
 つくばセンター内
 【氏名】 樋口 哲也
【特許出願人】
 【識別番号】 301021533
 【氏名又は名称】 独立行政法人産業技術総合研究所
 【代表者】 吉川 弘之
 【電話番号】 029-861-3280
【国等の委託研究の成果に係る記載事項】 平成15年度新エネルギー・産業技術総合開
 発機構「次世代半導体材料・プロセス基盤技術開発」委託研究、
 産業活力再生特別措置法第30条の適用を受ける特許出願
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】特許請求の範囲

【請求項 1】

互いに縦続接続されるとともに各々入力データを遅延させて出力する複数の入力遅延回路と、前記複数の入力遅延回路のそれぞれの入力データと最後段の入力遅延回路の出力データとにそれぞれ係数を乗算して部分出力データとする複数の乗算回路とを具え、前記複数の乗算回路の部分出力データを互いに加算してフィルタ出力データとする F I R フィルタにおいて、

それぞれ前記縦続接続された複数の入力遅延回路をその縦続接続方向に沿って複数の分割してなる一または複数の入力遅延回路および前記一または複数の入力遅延回路に接続された一または複数の乗算回路を有して、前記一または複数の乗算回路の部分出力データから部分和データを求める複数の要素回路を具え、

前記複数の要素回路のうち、初段の要素回路は前記部分和データをそのまま出力し、二段目以降の要素回路はその要素回路内で求めた前記部分和データを遅延させたものを前段の要素回路の出力する部分和数据に加算して求めた部分和数据を出力し、最終段の要素回路は出力する部分和数据をフィルタ出力データとすることを特徴とする、F I R フィルタ。

【請求項 2】

フィルタ入力データを入力される 1 または互いに縦続接続された複数の前記入力遅延回路と、前記 1 または複数の入力遅延回路の入力データにそれぞれ係数を乗算して部分出力データとする 1 または複数の前記乗算回路と、前記 1 または複数の乗算回路の部分出力データを互いに加算して部分和数据とする部分出力加算器と、を有する 1 つの初段要素回路と、

前記初段要素回路または前段の当該中間段要素回路の最終段の入力遅延回路の出力データを入力される 1 または互いに縦続接続された複数の前記入力遅延回路と、前記 1 または複数の入力遅延回路の入力データにそれぞれ係数を乗算して部分出力データとする 1 または複数の前記乗算回路と、前記 1 または複数の乗算回路の部分出力データを互いに加算して部分和数据とする部分出力加算器と、前記部分出力加算器の部分和数据を遅延させる部分和遅延回路と、前記部分和遅延回路が遅延させた部分和数据を前記初段要素回路または前段の当該中間段要素回路の部分和数据と加算して部分和数据とする部分和加算器と、を有する 1 または複数の中間段要素回路と、

前段の前記中間段要素回路の最終段の入力遅延回路の出力データを入力される 1 または互いに縦続接続された複数の前記入力遅延回路と、前記 1 または複数の入力遅延回路の入力データと最後段の入力遅延回路の出力データとにそれぞれ係数を乗算して部分出力データとする複数の前記乗算回路と、前記複数の乗算回路の部分出力データを互いに加算して部分和数据とする部分出力加算器と、前記部分出力加算器の部分和数据を遅延させる部分和遅延回路と、前記部分和遅延回路が遅延させた部分和数据を前段の前記中間段要素回路の部分和数据と加算してフィルタ出力データとする部分和加算器と、を有する 1 つの終段要素回路と、

を具えることを特徴とする、請求項 1 記載の F I R フィルタ。

【請求項 3】

元のフィルタ入力データから分割された複数の分割入力データにそれぞれ対応する複数の要素回路組であって、各要素回路組が前記初段要素回路と前記中間段要素回路と前記終段要素回路とからなり、それらの要素回路組の互いに対応する段の要素回路の前記乗算回路の前記係数が揃えられている複数の要素回路組と、

前記複数の要素回路組の前記終段要素回路が出力するフィルタ出力データとしての部分出力データを小数点位置をそろえて互いに加算して元の入力データに対応するビット長のフィルタ出力データを出力するフィルタ出力加算器と、

を具えることを特徴とする、請求項 2 記載の F I R フィルタ。

【請求項 4】

前記乗算回路は前記係数を変更可能なものであることを特徴とする、請求項 2 または 3

記載の F I R フィルタ。

【請求項 5】

1 または互いに縦続接続された複数の前記入力遅延回路と、

前記 1 または複数の入力遅延回路の入力データにそれぞれ係数を乗算して部分出力データとする 1 または複数の前記乗算回路と、

前記 1 または複数の乗算回路の部分出力データを互いに加算して部分和数据とする部分出力加算器と、

を有することを特徴とする、請求項 1 から 4 までの何れか記載の F I R フィルタ用要素回路。

【請求項 6】

1 または互いに縦続接続された複数の前記入力遅延回路と、

前記 1 または複数の入力遅延回路の入力データにそれぞれ係数を乗算して部分出力データとする 1 または複数の前記乗算回路と、

前記 1 または複数の乗算回路の部分出力データを互いに加算して部分和数据とする部分出力加算器と、

前記部分出力加算器の部分和数据を遅延させる部分遅延回路と、

前記部分遅延回路が遅延させた部分和数据を前記初段要素回路または前段の前記中間段要素回路の部分和数据と加算して部分和数据とする部分加算器と、

を有することを特徴とする、請求項 1 から 4 までの何れか記載の F I R フィルタ用要素回路。

【請求項 7】

1 または互いに縦続接続された複数の前記入力遅延回路と、

前記 1 または複数の入力遅延回路の入力データと最後段の入力遅延回路の出力データとにそれぞれ係数を乗算して部分出力データとする複数の前記乗算回路と、

前記複数の乗算回路の部分出力データを互いに加算して部分和数据とする部分出力加算器と、

前記部分出力加算器の部分和数据を遅延させる部分遅延回路と、

前記部分遅延回路が遅延させた部分和数据を前段の前記中間段要素回路の部分和数据と加算してフィルタ出力データとする部分加算器と、

を有することを特徴とする、請求項 1 から 4 までの何れか記載の F I R フィルタ用要素回路。

【請求項 8】

前記 F I R フィルタ用要素回路は、前記初段要素回路と前記終段要素回路との少なくとも一方に代用されることを特徴とする、請求項 6 記載の F I R フィルタ用要素回路。

【請求項 9】

前記乗算回路は前記係数を変更可能なものであることを特徴とする、請求項 5 から 8 までの何れか記載の F I R フィルタ用要素回路。

【書類名】 明細書

【発明の名称】 F I R フィルタ

【技術分野】

【0001】

本発明は、高速動作および柔軟な構成を容易に可能にする F I R フィルタに関するものである。

【背景技術】

【0002】

フィルタは、信号処理において欠かすことのできない回路要素であり、デジタル信号処理においても最頻出する最重要な回路である。デジタルフィルタの構成方法には、F I R (Finite Impulse Response) フィルタと I I R (Infinite Impulse Response) フィルタとの2種類があるが、常に安定した特性が得られる F I R フィルタの方が使いやすい回路である(例えば、特許文献1参照)。

【0003】

図8は、F I R フィルタの最も一般的な構成の一つである直接形構成の一例を示す。図中、符号100は入力遅延回路としての遅延回路を示し、この遅延回路100は単に入力データを1クロックサイクル分遅延させて次段に渡すものである。符号101は乗算回路としての乗算器、102は加算器を示す。この構成では遅延回路100の前後のデータ取り出し回路を「タップ」、そのデータ取り出し回路に接続された乗算器101の並んでいる数を「タップ数」と呼び、したがって図8は7タップ構成の F I R フィルタの例である。符号103は入力信号(フィルタ入力データ)、104は遅延回路100から出力されて順次後続のタップおよび遅延回路100へ渡される入力データ、105は出力信号(フィルタ出力データ)をそれぞれ示す。

【0004】

図9は、図8に示す F I R フィルタの一般的な構成において乗算器の係数を可変にしてフィルタ特性を任意に設定可能とした、適応デジタルフィルタの回路例であり、符号106は乗算係数可変型の乗算器、107はその係数を記憶する記憶回路をそれぞれ示す。

【0005】

図10は、ビットスライス構成を採用してデータのビット幅を可変にした F I R フィルタの回路例である。この例では入力信号を上位ビット群108と下位ビット群109との2つのビット群に分割するとともに、複数の遅延回路100とそれらに対応する乗算器101および加算器102とを図では上下の2組に分けており、例えば、各組が12ビットずつ処理可能であれば、両方で24ビットの処理が可能となる。符号110は上位ビット群の部分出力データ、111は下位ビット群の部分出力データであり、この2つからフィルタ出力加算器としての後処理回路112が元の入力信号のビット長に等しいビット長の出力信号(フィルタ出力データ)105を生成する。

【0006】

このような F I R フィルタにおいては、システムにとって望ましい急峻なフィルタ特性を実現しようとする場合、次数を高くした規模の大きな回路を用意する必要がある(例えば、非特許文献1参照)、実際には L S I のチップ面積や F P G A のゲート数の制限によって、十分な規模のフィルタを用意することは一般に困難である。そして、特にビット数の多い高精度の信号処理が必要な場合は、必要なゲート数や実装面積はビット数の2乗で増大すると考えられるため、上記の困難性が増すことになる。

【0007】

また、デジタル信号処理では、処理対象の信号をデジタル信号に変換(サンプリング)してから処理を行うが、その際には対象信号の持つ周波数帯域の上限に対して1桁以上高い周波数でサンプリングし、かつ、後続のデジタル信号処理回路も同様のスループットで動作する必要がある。つまり、周波数帯域の上限が10MHzである信号の処理には100MHz以上の周波数でのサンプリングが必要となるとともに100MHz以上の周波数で動作するデジタル信号処理回路が必要となり、100MHzまでの信号を処理するには

1GHz以上の周波数で動作するデジタル信号処理回路が必要となる。このように、デジタル信号処理回路には高い動作周波数が要求される。

【0008】

しかしながら現在、特別に設計された一部のCPU等を除くと、一般的に利用可能なCMOSプロセスによるLSI技術で実現可能なデジタル回路の動作周波数は、およそ2GHz以下であり、特に規模の大きなデジタルフィルタを構成しようとした場合には、動作周波数はさらに下がり、1GHz以上で動作するLSIを安価に開発することは實際上不可能である。

【特許文献1】特開昭59-103418号公報

【非特許文献1】辻井重男監修 「デジタル信号処理の基礎」第4章4.2 コロナ社 1988年

【発明の開示】

【発明が解決しようとする課題】

【0009】

それゆえ本発明は、2GHz以上の高速動作が可能でかつ高次、高精度のFIRフィルタ、つまり、大規模なデジタルフィルタを安価に作製できるようにすることを目的としている。

【課題を解決するための手段】

【0010】

上記課題を有利に解決した本発明は、高速動作が可能なFIRフィルタ用の複数種類の要素回路を同期動作するように組み合わせることによって、高速動作可能でかつ高次、高精度のFIRフィルタ、ひいては大規模なデジタルフィルタを構成することを特徴とするものであり、その複数種類の要素回路は、1種類の要素回路で代用することができるものである。

【0011】

すなわち、本発明のFIRフィルタは、互いに縦続接続されるとともに各々入力データを遅延させて出力する複数の入力遅延回路と、前記複数の入力遅延回路のそれぞれの入力データと最後段の入力遅延回路の出力データとにそれぞれ係数を乗算して部分出力データとする複数の乗算回路とを具え、前記複数の乗算回路の部分出力データを互いに加算してフィルタ出力データとするFIRフィルタにおいて、それぞれ前記縦続接続された複数の入力遅延回路をその縦続接続方向に沿って複数に分割してなる一または複数の入力遅延回路および前記一または複数の入力遅延回路に接続された一または複数の乗算回路を有して、前記一または複数の乗算回路の部分出力データから部分和データを求める複数の要素回路を具え、前記複数の要素回路のうち、初段の要素回路は前記部分データをそのまま出力し、二段目以降の要素回路はその要素回路内で求めた前記部分データを遅延させたものを前段の要素回路の出力する部分データに加算して求めた部分データを出力し、最終段の要素回路は出力する部分データをフィルタ出力データとすることを特徴とするものである。

【0012】

また、本発明のFIRフィルタ用要素回路は、1または互いに縦続接続された複数の前記入力遅延回路と、前記1または複数の入力遅延回路の入力データにそれぞれ係数を乗算して部分出力データとする1または複数の前記乗算回路と、前記1または複数の乗算回路の部分出力データを互いに加算して部分和データとする部分出力加算器と、を有することまたはこれらに加えてさらに、前記部分出力加算器の部分データを遅延させる部分遅延回路と、前記部分遅延回路が遅延させた部分データを前記初段要素回路または前段の前記中間段要素回路の部分データと加算して部分和データとする部分加算器と、を有すること、もしくは、前記部分出力加算器の部分データを遅延させる部分遅延回路と、前記部分遅延回路が遅延させた部分データを前段の前記中間段要素回路の部分データと加算してフィルタ出力データとする部分加算器と、を有することを特徴としている。

【発明の効果】

【0013】

本発明のFIRフィルタによれば、FIRフィルタの互いに縦続接続された多数の入力遅延回路を途中のタップの位置で複数に分割（スライス）して構成した、それぞれ一または複数の入力遅延回路および前記一または複数の入力遅延回路に接続された一または複数の乗算回路を有して前記乗算回路の部分出力データから部分和データを求める複数の要素回路を具え、それら複数の要素回路のうち、初段の要素回路については前記部分和数据をそのまま出力し、二段目以降の要素回路についてはその要素回路内で求めた前記部分和数据を遅延させたものを前段の要素回路の出力する部分和数据に加算して求めた部分和数据を出力し、特に二段目以降のうち最終段の要素回路については出力する部分和数据をフィルタ出力データとするようにして、前記複数の要素回路の部分和数据同士を同期させて加算するので、任意の次数、精度（ビット数）を持ちかつ2GHz以上の高速で動作し得るタップスライス型のFIRフィルタを実現することができる。

【0014】

なお、本発明のFIRフィルタにおいては、フィルタ入力データを入力される1または互いに縦続接続された複数の前記入力遅延回路と、前記1または複数の入力遅延回路の入力データにそれぞれ係数を乗算して部分出力データとする1または複数の前記乗算回路と、前記1または複数の乗算回路の部分出力データを互に加算して部分和数据とする部分出力加算器と、を有する1つの初段要素回路と、前記初段要素回路または前段の当該中間段要素回路の最終段の入力遅延回路の出力データを入力される1または互いに縦続接続された複数の前記入力遅延回路と、前記1または複数の入力遅延回路の入力データにそれぞれ係数を乗算して部分出力データとする1または複数の前記乗算回路と、前記1または複数の乗算回路の部分出力データを互に加算して部分和数据とする部分出力加算器と、前記部分出力加算器の部分和数据を遅延させる部分和遅延回路と、前記部分和遅延回路が遅延させた部分和数据を前記初段要素回路または前段の当該中間段要素回路の部分和数据と加算して部分和数据とする部分和加算器と、を有する1または複数の中間段要素回路と、前段の前記中間段要素回路の最終段の入力遅延回路の出力データを入力される1または互いに縦続接続された複数の前記入力遅延回路と、前記1または複数の入力遅延回路の入力データと最後段の入力遅延回路の出力データとにそれぞれ係数を乗算して部分出力データとする複数の前記乗算回路と、前記複数の乗算回路の部分出力データを互に加算して部分和数据とする部分出力加算器と、前記部分出力加算器の部分和数据を遅延させる部分和遅延回路と、前記部分和遅延回路が遅延させた部分和数据を前段の前記中間段要素回路の部分和数据と加算してフィルタ出力データとする部分和加算器と、を有する1つの終段要素回路と、を具備していてもよく、このようにすれば、中間段要素回路と終段要素回路とに組み込んだ部分和遅延回路で、初段要素回路から最終段要素回路まで要素回路の部分和数据出力データと要素回路内部の部分和数据とを同期させて加算し得るので、任意の次数、精度（ビット数）を持ちかつ2GHz以上の高速で動作し得るタップスライス型のFIRフィルタを実現することができ、しかも、初段要素回路と中間段要素回路と終段要素回路との3種類に纏めた要素回路の量産効果によって、ハイエンドのデジタルフィルタのコストを容易に削減することができる。

【0015】

また、本発明のFIRフィルタにおいては、元のフィルタ入力データから分割された複数の分割入力データにそれぞれ対応する複数の要素回路組であって、各要素回路組が前記初段要素回路と前記中間段要素回路と前記終段要素回路とからなり、それらの要素回路組の互に対応する段の要素回路の前記乗算回路の前記係数が揃えられている複数の要素回路組と、前記複数の要素回路組の前記終段要素回路が出力するフィルタ出力データとしての部分出力データを小数点位置をそろえて互に加算して元の入力データに対応するビット長のフィルタ出力データを出力するフィルタ出力加算器と、を具備していてもよく、このようにすれば、本発明のFIRフィルタによってビットスライス型のFIRフィルタをも構成し得て、より大規模なデジタルフィルタを構成することができる。

【0016】

さらに、本発明のFIRフィルタにおいては、前記乗算回路が前記係数を変更可能なものであってもよく、このようにすれば、フィルタ特性を任意に変更し得て、大規模な適応デジタルフィルタを構成することができる。

【0017】

一方、1または互いに縦続接続された複数の前記入力遅延回路と、前記1または複数の入力遅延回路の入力データにそれぞれ係数を乗算して部分出力データとする1または複数の前記乗算回路と、前記1または複数の乗算回路の部分出力データを互に加算して部分和数据とする部分出力加算器と、を有する本発明のFIRフィルタ用要素回路は、先の本発明のFIRフィルタの初段要素回路に用いることができ、これらに加えてさらに、前記部分出力加算器の部分和数据を遅延させる部分遅延回路と、前記部分遅延回路が遅延させた部分和数据を前記初段要素回路または前段の前記中間段要素回路の部分和数据と加算して部分和数据とする部分加算器と、を有する本発明のFIRフィルタ用要素回路は、先の本発明のFIRフィルタの中間段要素回路に用いることができ、そして最初の要素回路に加えてさらに、前記部分出力加算器の部分和数据を遅延させる部分遅延回路と、前記部分遅延回路が遅延させた部分和数据を前段の前記中間段要素回路の部分和数据と加算してフィルタ出力データとする部分加算器と、を有する本発明のFIRフィルタ用要素回路は、先の本発明のFIRフィルタの終段要素回路に用いることができる。

【0018】

なお、前記中間段要素回路に用いることができるFIRフィルタ用要素回路は、その一部の構成要素やデータを使用しないことにより、前記初段要素回路と前記終段要素回路との少なくとも一方に代用されてもよく、このようにすれば、要素回路の種類を減らし得て、要素回路の量産効果をさらに高めて、ハイエンドのデジタルフィルタのコストをさらに削減することができる。

【0019】

また、前記FIRフィルタ用要素回路においては、前記乗算回路は前記係数を変更可能なものであってもよく、このようにすれば、フィルタ特性を任意に変更し得て、大規模な適応デジタルフィルタを容易に構成することができる。

【発明を実施するための最良の形態】

【0020】

図1は、本発明FIRフィルタの一実施例としてのビットスライス型FIRフィルタの概要を示す説明図である。図中符号1～4は、1つのFIRフィルタを構成する要素回路を示し、1は中間段要素回路、2は初段要素回路、3は最終段要素回路、4はビットスライス構成におけるフィルタ出力加算器としての後処理回路である。また、符号5～12は、要素回路間でやりとりされる信号を示し、5はフィルタ入力データとしての入力信号の上位ビット群、6は入力信号の下位ビット群、7は要素回路1～3で遅延されつつ要素回路1～3間を転送される入力データ、8は要素回路1～3間を転送される部分和数据、9は各要素回路1～3内の乗算器の係数および部分遅延回路の遅延程度を設定する乗算係数・部分遅延設定信号、10はフィルタ出力データとしての出力信号、11は上位ビット群の部分出力データ、12は下位ビット群の部分出力データである。

【0021】

本実施例では、後処理回路4も含めると4種類の要素回路で1つのFIRフィルタを構成している。入力信号（フィルタ入力データ）は一般に多ビットのデジタル信号として入力されるが、本実施例ではそれを上位と下位との2つのビット群に分けて、それぞれビットスライス処理が可能ないようにビットスライス構成を採用している。例えば、入力信号が24ビット幅であれば、上位ビット群5には上位の12ビット、下位ビット群6には下位の12ビットが割り当てられる。本実施例のFIRフィルタは、後処理回路4を除いて3種類の要素回路1～3から構成されており、これら3種類の要素回路が必要なのは、それぞれの要素回路で入出力データが若干異なっているからである。図示のように、これら3

種類の要素回路1~3を縦続接続したものを組にし、その組をビットスライス分だけ、つまりこの実施例では2組、図では上下に並べて、この2つの要素回路組のそれぞれの出力信号11, 12をフィルタ出力加算器としての後処理回路4によって処理して最終出力データ10を得ている。また、要素回路1~3は内部の乗算器の乗算係数と部分和遅延回路の遅延程度とをそれぞれ可変とされており、それらは設定信号9によって外部から設定可能になっている。なお、2つのビット群をそれぞれ処理する上記2つの要素回路組の乗算器のうち互いに対応するタップ位置の乗算器の乗算係数は互いに揃えて（等しくして）おく。

【0022】

図2は、図1に示す実施例のビットスライス構成における各要素回路組に用いられる、タップ列方向（遅延回路100の縦続接続方向）にFIRフィルタを分割するタップスライス構成の具体的な構成例である。この図2の例は、上記初段要素回路2に対応する一段の初段要素回路115と、上記中間段要素回路1に対応するここでは一段の中間段要素回路116と、上記最終段要素回路3に対応する一段の最終段要素回路117とに分割しており、図1とは中間段要素回路の数が異なっているが、中間段要素回路の数は適宜変更することができる。ここにおける初段要素回路115と中間段要素回路116とは2タップ分、最終段要素回路117は3タップ分のデータを処理しており、それぞれ乗算回路としての乗算器101でタップからの入力データを乗算して得た部分出力データを部分出力加算器118で要素回路内のタップ数分互いに加算して部分和数据を計算した後、初段要素回路115はその計算して得た値そのものを要素回路の部分和数据113として出力する。

【0023】

中間段要素回路116は、部分出力加算器118で要素回路内の部分和数据を計算した後、その部分和数据を部分和数据遅延回路120で適宜遅らせ、その遅らせた部分和数据と前段の初段要素回路115からの部分和数据113（中間段要素回路116が複数ある場合は2つ目以降の中間段要素回路116では前段の中間段要素回路116からの部分和数据114）との和を部分和数据加算器119で計算し、その計算結果の値を中間段要素回路116の部分和数据114として次段に出力する。

【0024】

最終段要素回路117も中間段要素回路116と同様であり、部分出力加算器118で要素回路内の部分和数据を計算した後、その部分和数据を部分和数据遅延回路120で適宜遅らせ、その遅らせた部分和数据と前段の中間段要素回路116からの部分和数据114との和を部分和数据加算器119で計算し、その計算結果の値を出力信号105として出力する。

【0025】

次に、上記実施例のFIRフィルタに用い得て図9に示す如き適応デジタルフィルタを構成し得る要素回路を説明する。図3は、本発明のFIRフィルタ用要素回路の一実施例としての、上記初段要素回路2および初段要素回路115に対応する初段要素回路を示すものであり、この実施例では、4タップ分の遅延回路と乗算器とが要素回路に実装されている。符号200は遅延回路、201は乗算器、202は部分出力加算器としての加算器である。また符号203は要素回路への入力信号、204は遅延回路200の出力データである次段の入力データ、205は当該要素回路の部分和数据出力データ、206は次段の要素回路への遅延出力データである。そして符号207は乗算係数・部分和数据遅延設定信号、208は乗算器201の乗算係数記憶回路である。

【0026】

図4は、本発明のFIRフィルタ用要素回路の一実施例としての、上記中間段要素回路1および中間段要素回路116に対応する中間段要素回路を示すものであり、この実施例では、4タップ分の遅延回路と乗算器とが要素回路として実装されている。符号200から208までは図3と同様である。符号209は前段の要素回路の部分和数据出力データ205である部分和数据入力データを示す。加算器202で算出した当該要素回路内の部分和数据

タは、部分和遅延回路 211 で適宜遅延させ、部分和加算器 210 で部分和入力データ 209 と加算されて、当該要素回路の部分出力データ 205 として出力される。部分和遅延回路 211 の遅延時間（遅延程度）は部分和遅延設定記憶回路 212 の設定値で変化させることができる。また、部分和遅延設定記憶回路 212 の値は乗算係数・部分和遅延設定信号 207 で設定可能である。

【0027】

図 5 は、本発明の FIR フィルタ用要素回路の一実施例としての、上記最終段要素回路 3 および最終段要素回路 117 に対応する最終段要素回路を示すものであり、この実施例では、4 タップ分の遅延回路と乗算器とが要素回路として実装されている。この図中の構成は概ね図 4 の中間段要素回路と同様であり、違いは、ここでは遅延回路 200 が 1 つ少なく、次段への遅延出力データ 206 が無い点のみである。

【0028】

図 6 は、本発明の FIR フィルタ用要素回路の一実施例としての、上記後処理回路 4 に対応する後処理回路を示すものであり、この実施例では、上位ビット群と下位ビット群の 2 つに入力データを分割してビットスライス処理を行う場合を示す。符号 300 が上位ビット群に対する部分出力データ、301 が下位ビット群に対する部分出力データである。これら部分出力データ 300、301 は部分データ加算器 302 により、小数点の位置を合わせて加算されてフィルタ出力データ 303 となり、FIR フィルタの最終的な出力信号となる。

【0029】

これら実施例の初段要素回路、中間段要素回路および最終段要素回路によれば、中間段要素回路と終段要素回路とに組み込んだ部分和遅延回路 211 で、要素回路の部分出力データと要素回路内部の部分データとを同期させて加算し得るので、任意の次数、精度（ビット数）を持ちかつ 2GHz 以上の高速で動作し得るタップスライス型の FIR フィルタを実現することができ、しかも、初段要素回路と中間段要素回路と終段要素回路との 3 種類に纏めた要素回路の量産効果によって、ハイエンドのデジタルフィルタのコストを容易に削減することができ、さらに乗算器 201 の乗算係数記憶回路 208 が記憶する乗算係数の値は乗算係数・部分和遅延設定信号 207 で設定・変更可能であるので、フィルタ特性を任意に変更し得て、大規模な適応デジタルフィルタを構成することができる。またこの実施例の初段要素回路、中間段要素回路、最終段要素回路および後処理回路によれば、よりビット幅の大きいデータに対して上記と同様の作用効果を奏し得るビットスライス型の FIR フィルタを実現することができる。

【0030】

上述の説明では 4 種類の要素回路によって FIR フィルタを構成したが、本発明に基づけば、より少ない種類の要素回路によって FIR フィルタを構成することも可能である。まず、図 5 の最終段要素回路は、明らかに図 4 の中間段要素回路で代用可能である。つまり、図 4 の要素回路遅延出力データ 206 を用いないかどこにも接続しないことで、図 5 の最終段要素回路と同等の機能が達成できる。次に、図 3 の初段用要素回路も、図 4 の中間段要素回路で代用可能であり、図 4 の要素回路部分和入力データ 209 の値を 0 に固定しかつ部分和遅延回路 211 の遅延を 0 に設定することで、図 3 の初段用要素回路と同等の機能が実現できる。

【0031】

さらに、図 6 の後処理回路も、図 4 の中間段用要素回路で代用可能である。つまり、乗算器 201 の乗算係数のうち左端の係数の値を 1、それ以外の係数の値を 0 に設定し、かつ、部分和遅延回路 211 の遅延を 0 に設定する。この状態で、入力データ 203 として上位ビット群の部分データ 300 を、また要素回路部分和入力データ 209 として下位ビット群の部分データ 301 を小数点の位置を合わせながら入力すれば、要素回路部分出力データ 205 には完全出力データ 303 と同等の出力データを得ることができる。この場合に、図 5 の最終段用要素回路同様、要素回路遅延出力データ 206 は使用しない。

【0032】

このように本発明によれば、中間段要素回路だけを用いて、さまざまなビット幅のデータに対する任意の特性を持つ、タップ数の多い大規模なFIRフィルタを構成することができる。

【0033】

図7は、部分和遅延回路の遅延設定値の算出方法の一例を示すものであり、この例では、中間段要素回路が3つ縦続接続されている場合を示す。図3～図5に示す構成要素と対応する構成要素はそれと同じ記号で示している。まず、初段である図中左側の要素回路で、部分和遅延回路211の部分遅延設定記憶回路212の遅延設定値を0に設定し、加算器202の出力から部分和遅延回路211を通して部分和加算器210の入力に到達するのにかかる時間を $t = t_{a1}$ とする。また、部分和加算器210内での計算にかかる時間を $t = t_{s1}$ 、部分和加算器210の出力から要素回路間のインターフェース400を通過して次段の要素回路の部分遅延設定記憶回路212の入力に到着するのにかかる時間を $t = t_{b1}$ とする。そして、図中中央の要素回路および右側の要素回路においても同様に、 t_{a2} 、 t_{s2} 、 t_{b2} 、 t_{a3} 、 t_{s3} を定義する。ここで、遅延設定値 t_{a2} 、 t_{a3} 以外の時間は、回路配置から計算してもよいが、正確を期するためには実際の回路において実験で求めるのが望ましい。

【0034】

これにより、2段目の部分遅延回路211の遅延設定値は、次の式(1)を満たすように設定すればよい。

(数1)

$$t_{a1} + t_{s1} + t_{b1} = t_{a2} \quad \dots (1)$$

【0035】

また、3段目の部分遅延回路211の遅延設定値も同様であり、次の式(2)を満たすように設定すればよい。

(数2)

$$t_{a2} + t_{s2} + t_{b2} = t_{a3} \quad \dots (2)$$

【0036】

以上、図示例に基づき説明したが、本発明は上述の例のビットスライス型に限定されるものでなく、例えば、図8に示すタップスライス型FIRフィルタや、図9に示すタップスライス型適応デジタルフィルタを構成することもできる。

【0037】

また、本発明のFIRフィルタ用の上記要素回路は、それぞれをLSIチップとして実現し、マルチチップモジュールやSIP(System In Package)内で接続することで大規模なFIRフィルタを構成してもよく、あるいは1チップ1パッケージとして実現し、プリント基板上で大規模FIRフィルタを実現してもよい。

【0038】

さらに、これらの要素回路をLSI用のハードマクロやソフトマクロとして実現して、LSI上で接続し、SOC(System On a Chip)の一部として大規模FIRを実現してもよく、あるいはこれらの要素回路を内蔵したFPGAやCPLDを用意して、FPGAやCPLDの変換接続機能を用いて要素回路間を接続したり、FPGAやCPLDの内蔵モジュールを併用して大規模FIRフィルタを実現したりしてもよい。

【0039】

さらに、これらの要素回路をハイブリッド集積回路や回路モジュール、ドータ基板、もしくは、カードコネクタを持ったプリント基板等として実現し、これらを同様に接続することで大規模FIRフィルタを実現してもよく、同様に、これらの要素回路を金属や合成樹脂の容器内で構成し、それらをシステム間接続用のコネクタとケーブルで接続することで大規模FIRを実現してもよい。

【産業上の利用可能性】

【0040】

本発明は、ハイエンドからローエンドまで、あらゆる種類のFIRフィルタの実装に利用可能であり、安価なFIRフィルタの実現を容易なものとすることができる。

【図面の簡単な説明】

【0041】

【図1】本発明のFIRフィルタの一実施例としてのビットスライス型FIRフィルタを示す説明図である。

【図2】上記実施例のFIRフィルタの各要素回路組に用いられるタップスライス構成の説明図である。

【図3】上記実施例のFIRフィルタに用い得る、本発明のFIRフィルタ用要素回路の一実施例としての初段要素回路を示す説明図である。

【図4】上記実施例のFIRフィルタに用い得る、本発明のFIRフィルタ用要素回路の一実施例としての中間段要素回路を示す説明図である。

【図5】上記実施例のFIRフィルタに用い得る、本発明のFIRフィルタ用要素回路の一実施例としての最終段要素回路を示す説明図である。

【図6】上記実施例のFIRフィルタに用い得る、本発明のFIRフィルタ用要素回路の一実施例としての後処理回路を示す説明図である。

【図7】本発明に基づく部分和遅延回路の遅延設定値の設定方法を示す説明図である。

【図8】FIRフィルタの原理図である。

【図9】適応デジタルフィルタ型のFIRフィルタの説明図である。

【図10】ビットスライス構成のFIRフィルタの説明図である。

【符号の説明】

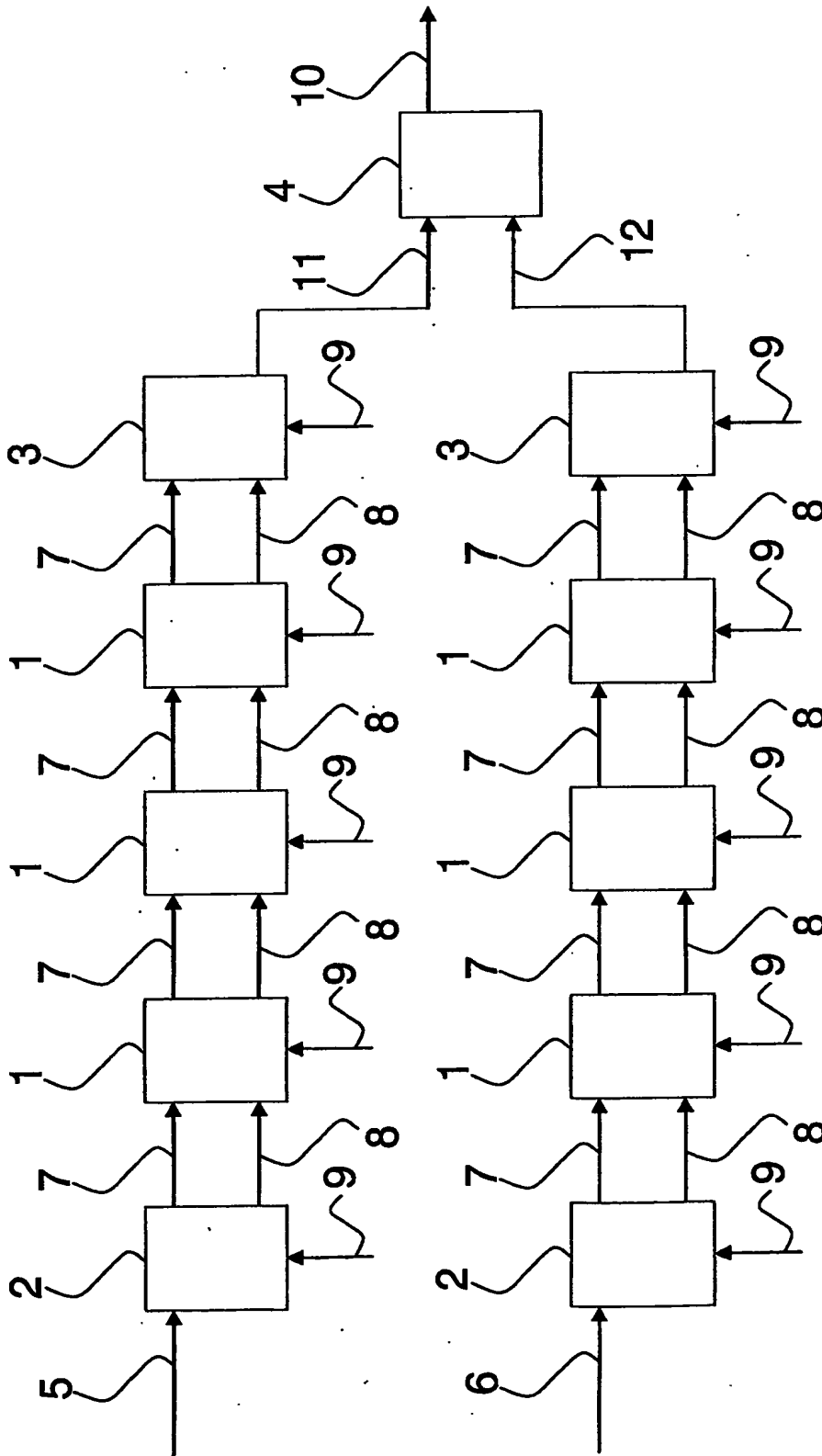
【0042】

- 1 中間段要素回路
- 2 初段要素回路
- 3 最終段要素回路
- 4 後処理回路
- 5 入力信号上位ビット群
- 6 入力信号下位ビット群
- 7 入力データ
- 8 部分和データ
- 9 乗算係数・部分和遅延設定信号
- 10 出力信号
- 11 上位ビット群部分出力データ
- 12 下位ビット群部分出力データ
- 100 遅延要素
- 101 乗算器
- 102 加算器
- 103 入力信号
- 104 入力データ
- 105 出力信号
- 106 乗算係数可変型乗算器
- 107 乗算係数記憶回路
- 108 入力信号の上位ビット群
- 109 入力信号の下位ビット群
- 110 上位ビット群部分出力データ
- 111 下位ビット群部分出力データ
- 112 後処理回路
- 113 初段要素回路部分和数据
- 114 中間段要素回路部分和数据
- 115 初段要素回路
- 116 中間段要素回路

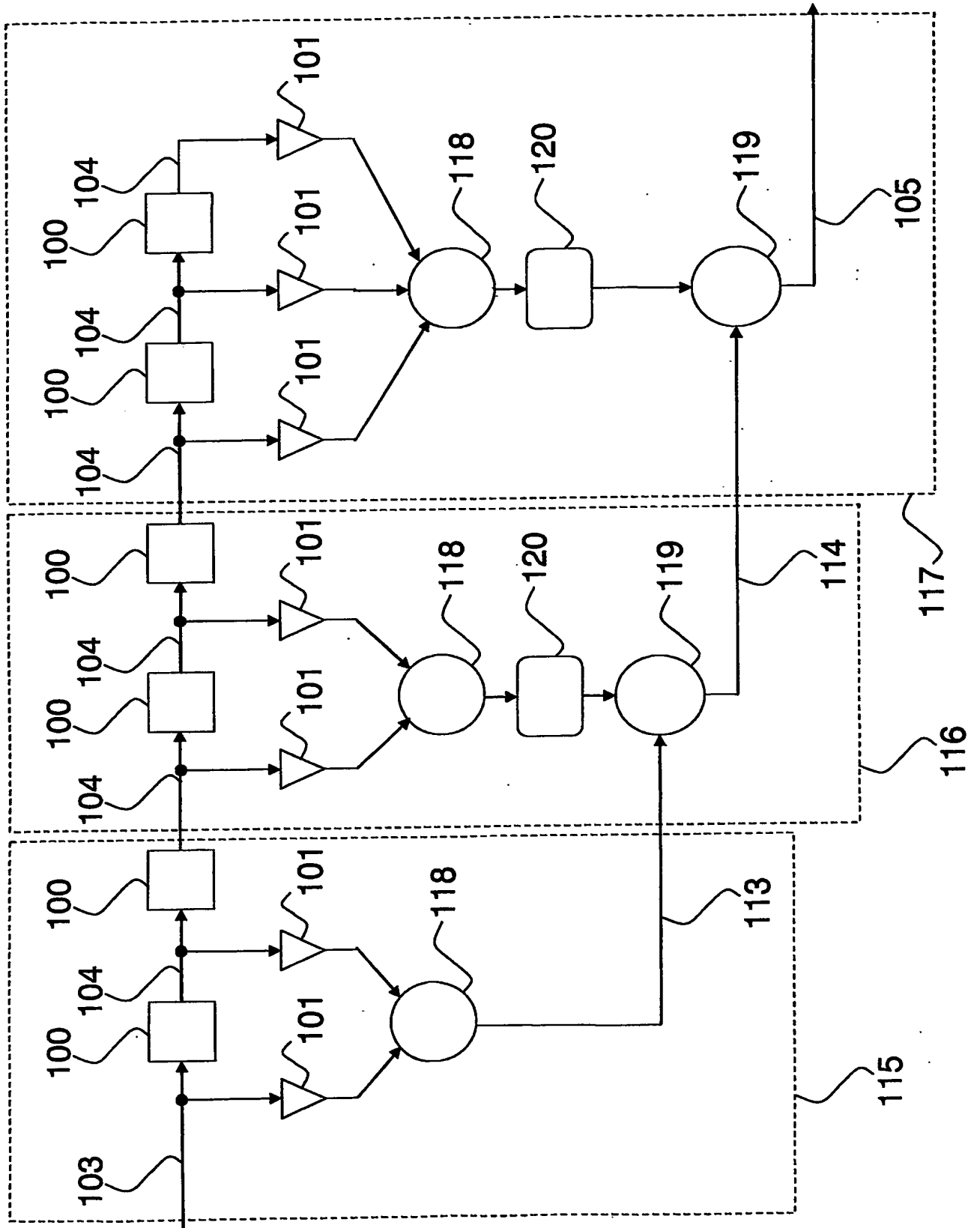
- 1 1 7 最終段要素回路
- 1 1 8 部分出力加算器
- 1 1 9 部分和加算器
- 1 2 0 部分和遅延回路
- 2 0 0 遅延回路
- 2 0 1 乗算器
- 2 0 2 部分出力加算器
- 2 0 3 入力信号
- 2 0 4 入力データ
- 2 0 5 部分和出力データ
- 2 0 6 遅延出力データ
- 2 0 7 乗算係数・部分和遅延設定信号
- 2 0 8 乗算係数記憶回路
- 2 0 9 部分和入力データ
- 2 1 0 部分和加算器
- 2 1 1 部分和遅延回路
- 2 1 2 部分和遅延設定記憶回路
- 3 0 0 上位ビット群部分出力データ
- 3 0 1 下位ビット群部分出力データ
- 3 0 2 部分データ加算器
- 3 0 3 フィルタ出力データ
- 4 0 0 要素回路間インターフェース

【書類名】 図面

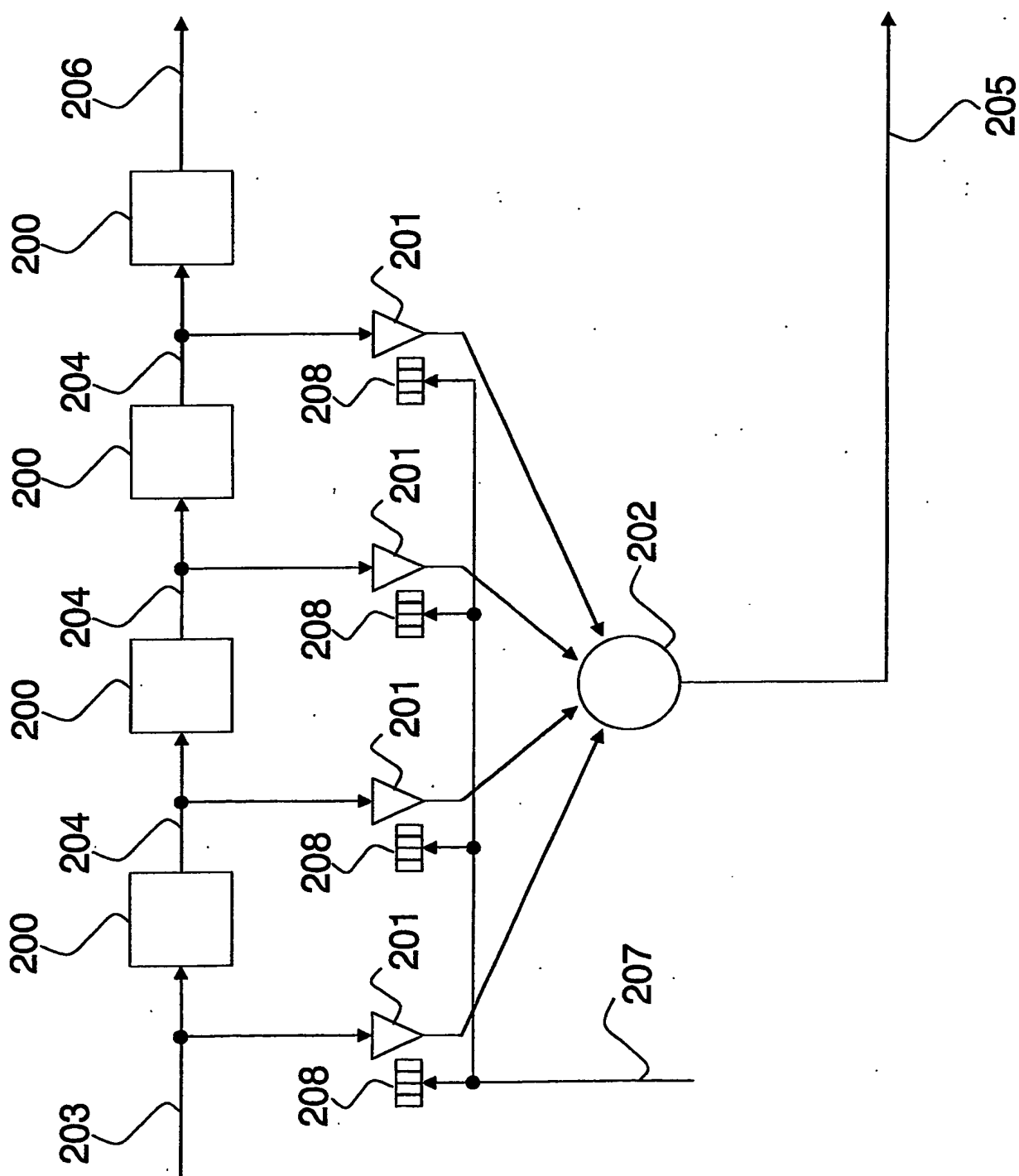
【図1】



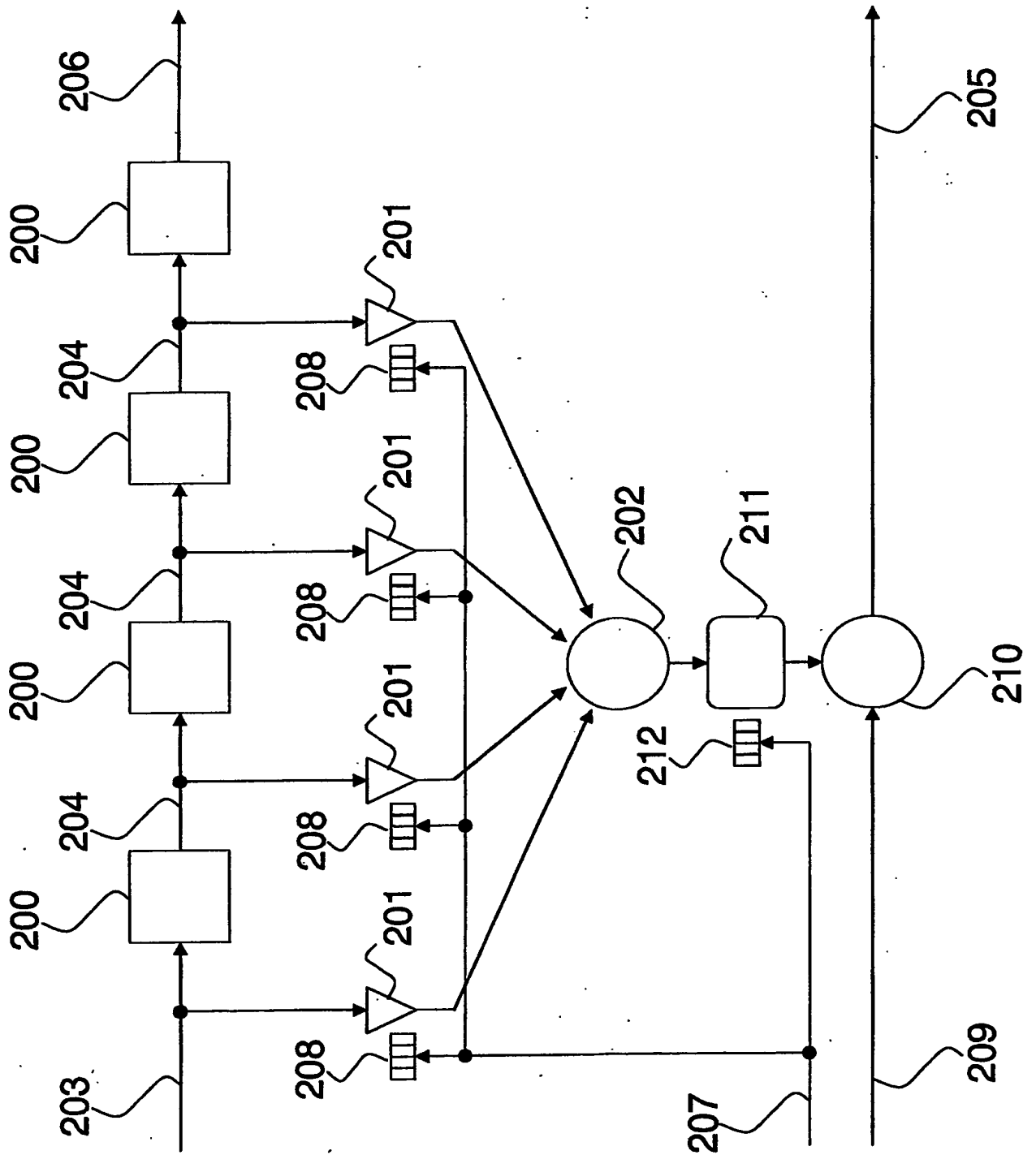
【図 2】



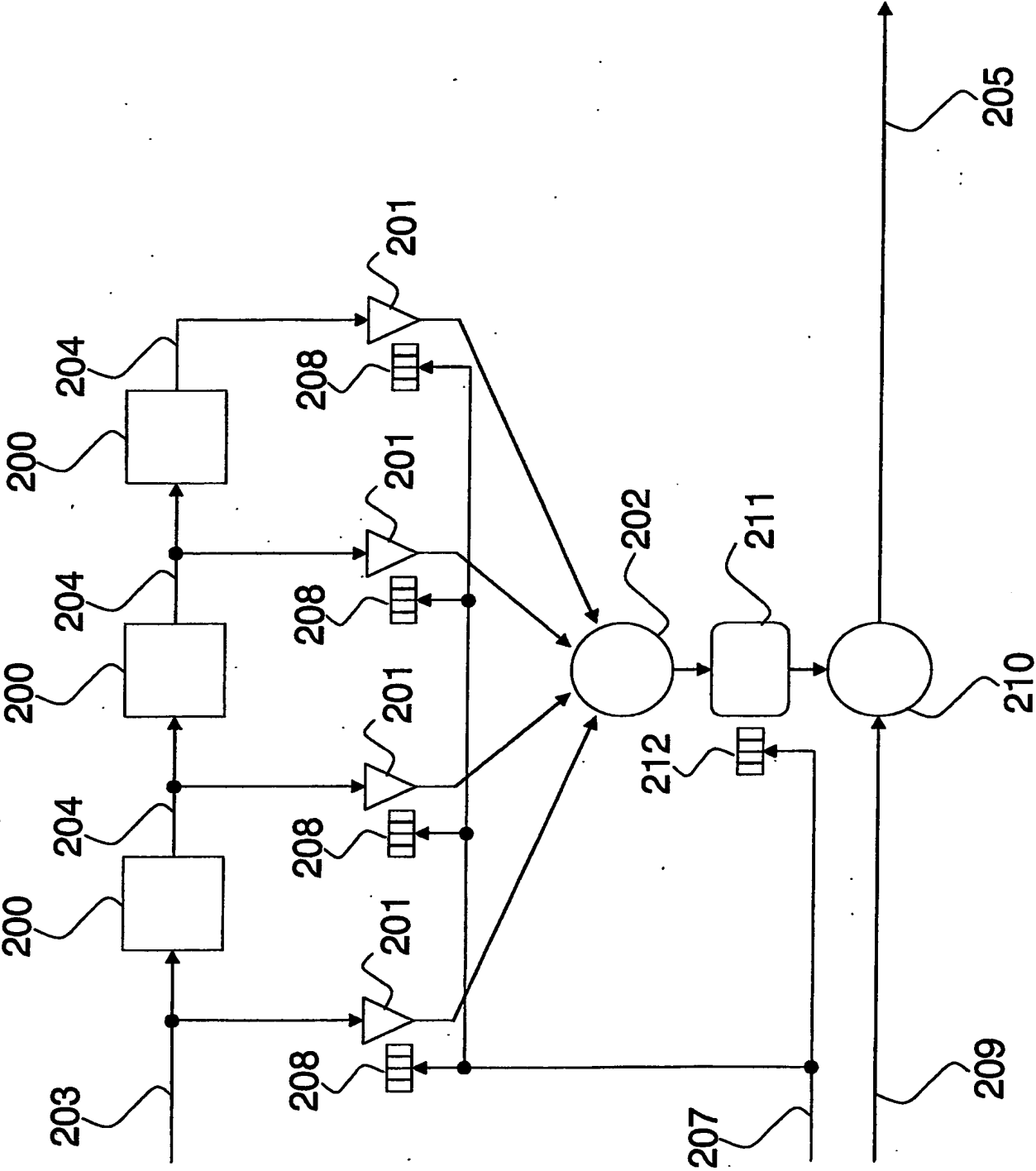
【図 3】



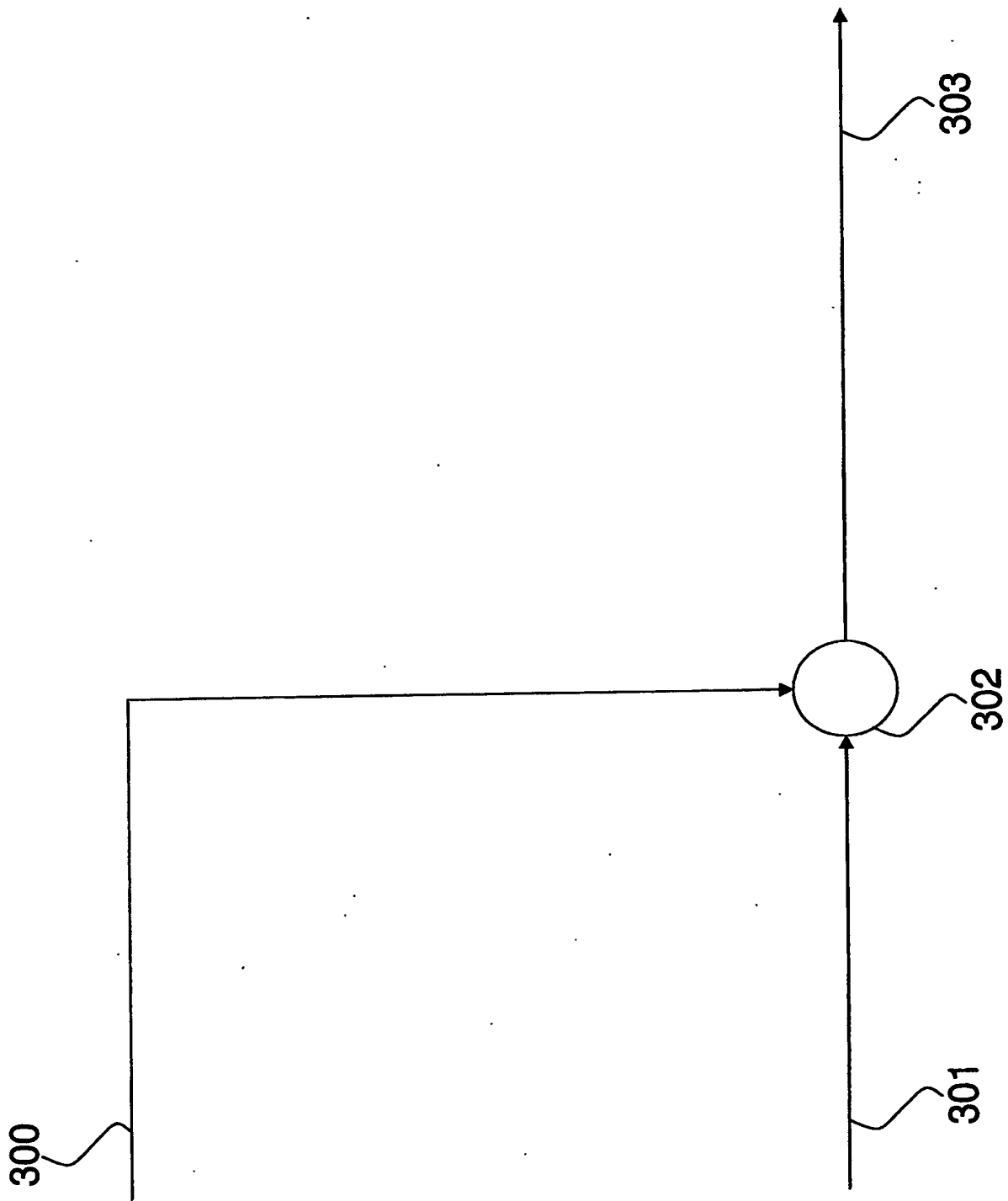
【図 4】



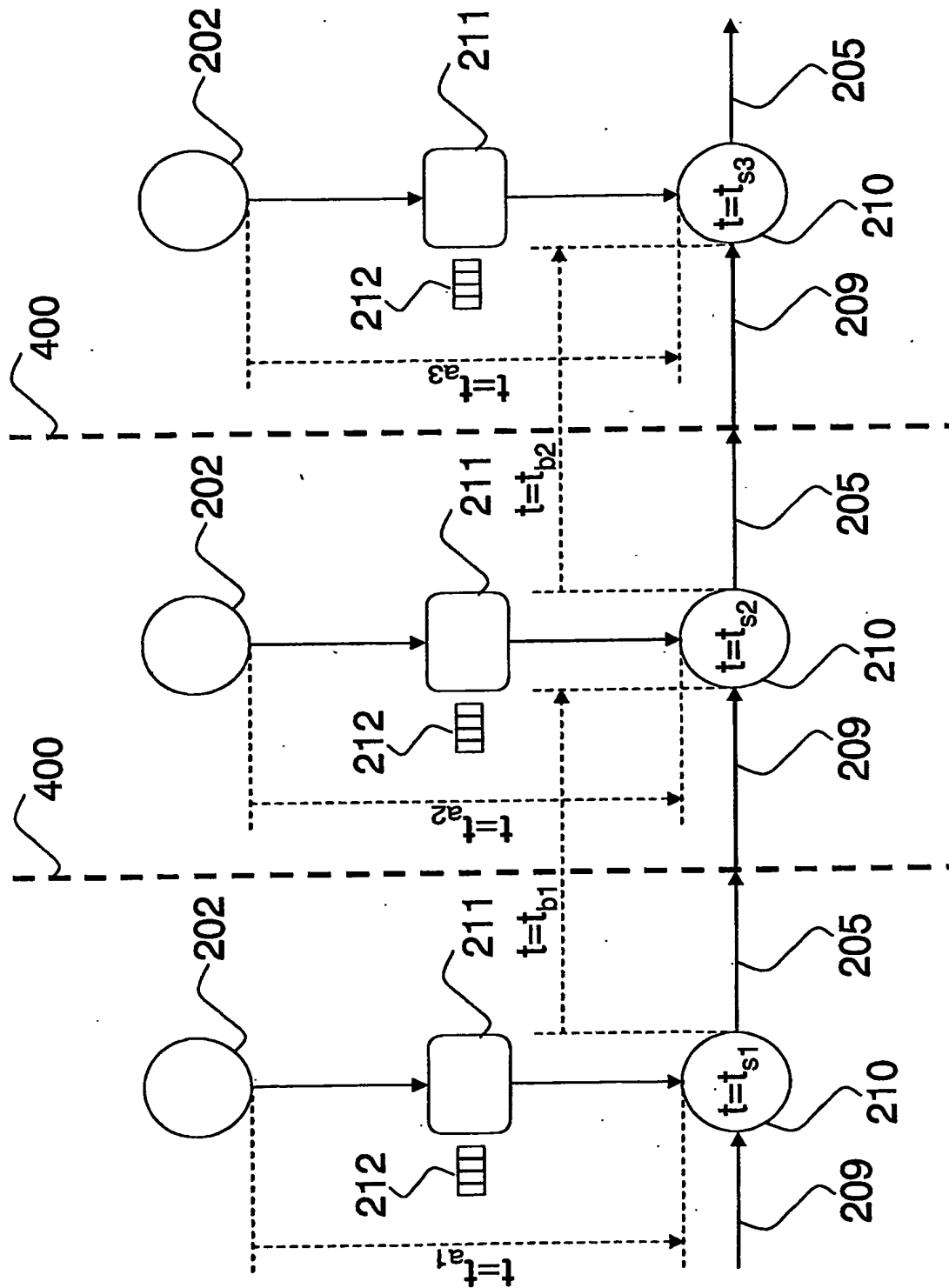
【図 5】



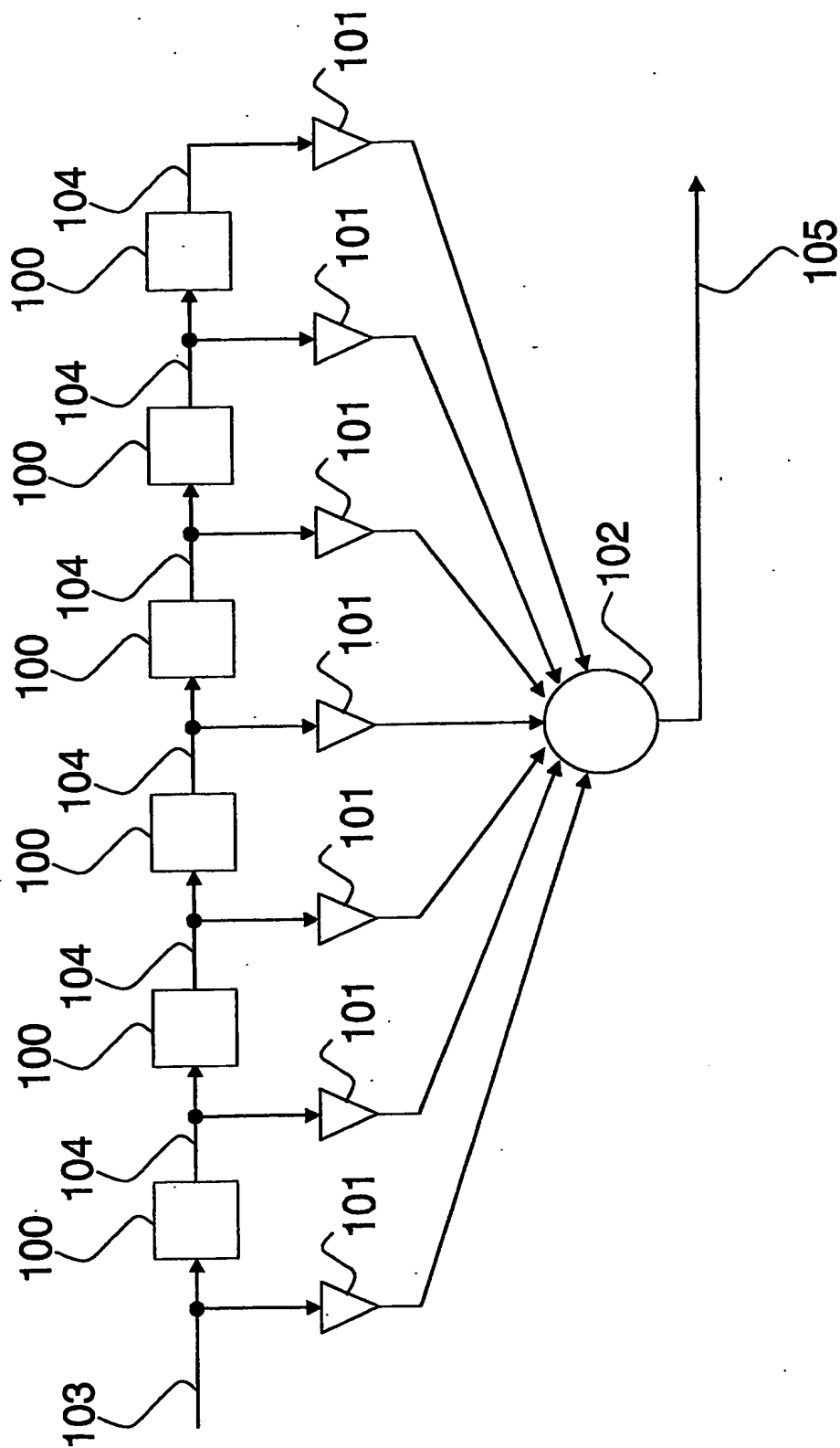
【図 6】



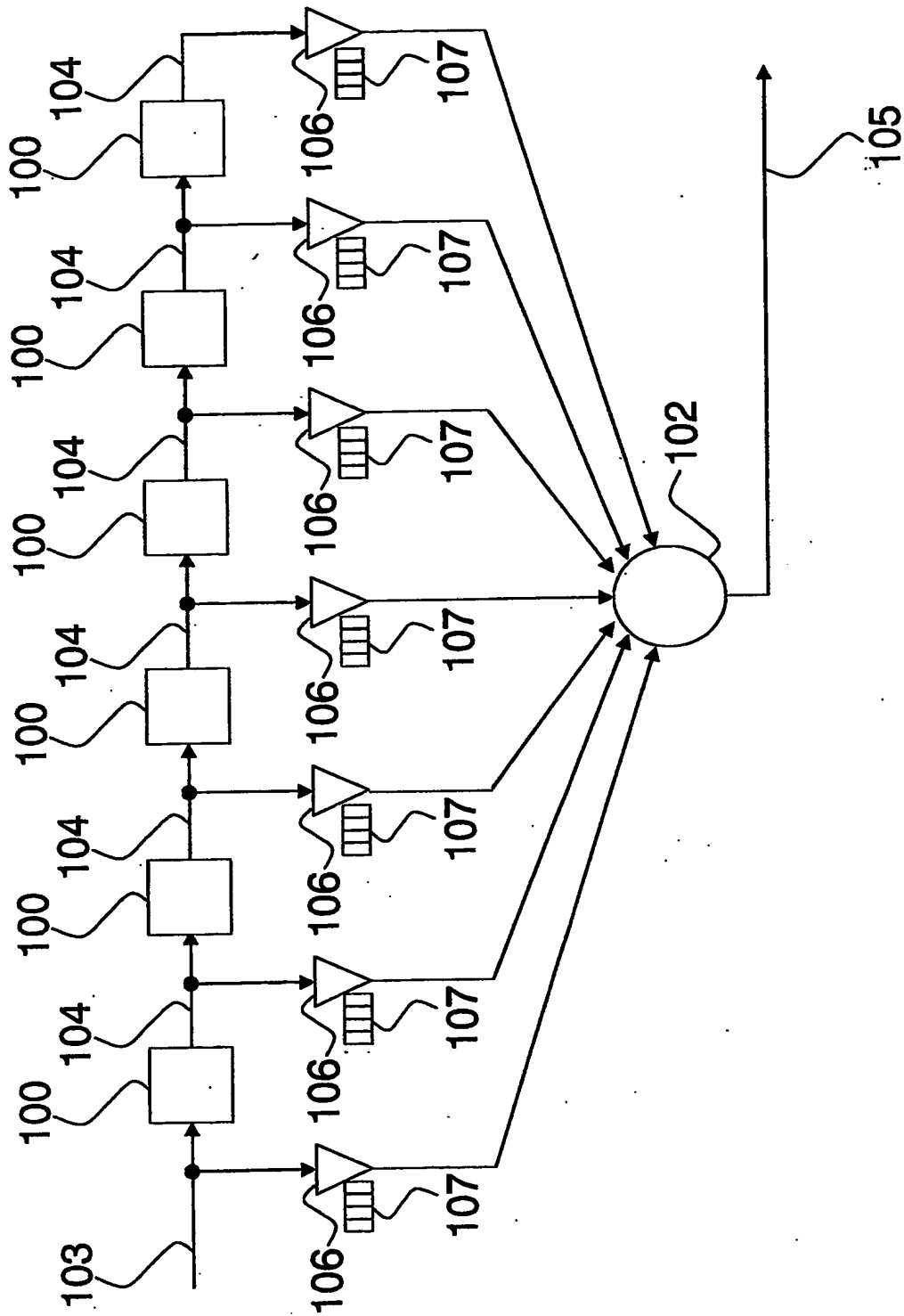
【図 7】



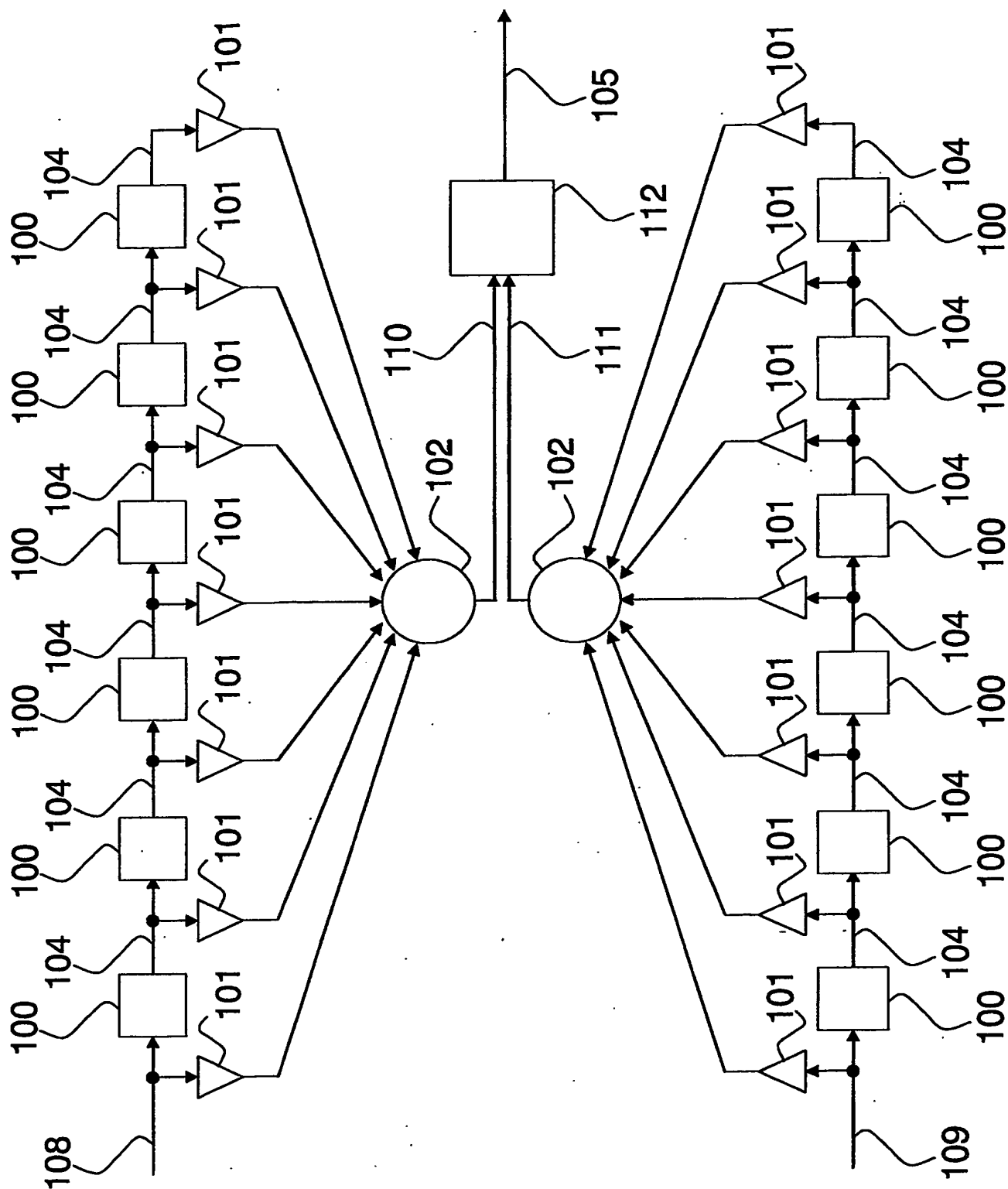
【図 8】



【図 9】



【図10】



【書類名】要約書

【要約】

【課題】 2GHz 以上の高速動作が可能でかつ高次、高精度の FIR フィルタを安価に作製可能とすることにある。

【解決手段】 初段要素回路 2 と中間段要素回路 1 と終段要素回路 3 とを必要な数だけ縦続接続すると同時に並列配置して組み合わせるとともに、それらの要素回路の部分和出力データ 8 と内部の部分和数据とを同期させることによって、高速動作可能でかつ高次、高精度の FIR フィルタすなわち大規模なデジタルフィルタを構成する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2003-411068
受付番号	50302029217
書類名	特許願
担当官	小野寺 光子 1721
作成日	平成15年12月10日

<認定情報・付加情報>

【提出日】 平成15年12月 9日

特願 2 0 0 3 - 4 1 1 0 6 8

出 願 人 履 歴 情 報

識別番号

[3 0 1 0 2 1 5 3 3]

1. 変更年月日

2 0 0 1 年 4 月 2 日

[変更理由]

新規登録

住 所

東京都千代田区霞が関 1 - 3 - 1

氏 名

独立行政法人産業技術総合研究所